Datos básicos

Número de créditos: 120,00 horas
Preinscripción: Del 02/01/2023 al 28/02/2023
Matrícula: Del 01/03/2023 al 11/03/2023
Impartición: Del 10/04/2023 al 10/07/2023
Precio (euros): 500,00 (tasas incluidas)
Modalidad: Semipresencial
Plataforma Virtual: Plataforma Virtual US
Lugar de Impartición: Escuela Técnica Superior de Ingeniería Informática (Laboratorio adscrito al dpto de Arquitectura y Tecnología de Computadores)
Procedimientos de Evaluación: Trabajo final
Requisitos específicos de admisión a los estudios: Titulado superior, graduado o estudiante últimos cursos de titulación de Ingeniería.
Criterios de selección de alumnos: Idoneidad de estudios cursados o experiencia profesional previa.

Dirección

Unidad Organizadora:
Departamento de Arquitectura y Tecnología de Computadores

Director de los estudios:
D. Alejandro Linares Barranco

Objetivos

Se trata de un curso introductorio teórico-práctico al motor acelerador programable de redes neuronales convolucionales de Xilinx, en el que se mostrarán los pasos necesarios para entender de manera general su funcionamiento y poder comenzar a trabajar con él.

En términos generales, este curso se centra en el citado acelerador de redes neuronales, pero también profundiza en la creación a medida de un sistema operativo Linux, en tecnologías de Inteligena Artificial tales como el framework Tensorflow o la biblioteca Keras y en la creación de una aplicación que haga uso de todo lo anteriormente mencionado.

Competencias:

- Capacidad de uso de herramientas de Xilinx
- Capacidad de uso de IPs y códigos en general hechos por terceras partes
- Capacidad de uso de diferentes lenguajes y tecnologías propias tanto del área del software como del hardware
- Capacidad de uso y análisis de redes neuronales convolucionales
- Capacidad de autoevaluación y revisión de sus propios desarrollos
- Capacidad para trabajo en grupo
- Capacidad búsqueda de soluciones en distintas fuentes y resolución de problemas

Información

Teléfono: **+34 954 55 61 88**
Email: **arios@us.es**

www.cfp.us.es

UNIVERSIDAD DE SEVILLA
CFP Centro de Formación Permanente
Dirección General de Formación Continua y Complementaria

Formación Continua

2022-2023

Diseño de Aplicaciones AI para FPGA: DPU, Petalinux y Vitis

(II edición)

UNIVERSIDAD DE SEVILLA

Comisión Académica

D. Alejandro Linares Barranco. Universidad de Sevilla - Arquitectura y Tecnología de Computadores
D. Enrique Piñero Fuentes. Universidad de Sevilla - Arquitectura y Tecnología de Computadores
D. José Antonio Ríos Navarro. Universidad de Sevilla - Arquitectura y Tecnología de Computadores
D. Salvador Canas Moreno. Universidad de Sevilla - Arquitectura y Tecnología de Computadores

Profesorado

D. Salvador Canas Moreno. Universidad de Sevilla - Arquitectura y Tecnología de Computadores
D. Alejandro Linares Barranco. Universidad de Sevilla - Arquitectura y Tecnología de Computadores
D. Enrique Piñero Fuentes. Universidad de Sevilla - Arquitectura y Tecnología de Computadores
D. José Antonio Ríos Navarro. Universidad de Sevilla - Arquitectura y Tecnología de Computadores

Módulos del Curso

Módulo 1. Introducción a las FPGA, AI e Ingeniería Neuromórfica

Duración/dedicación: 12,00 horas

Contenido:

En este módulo se realizará exposición histórica y técnica de las FPGAs, de la Inteligencia Artificial y de la ingeniería neuromórfica; desde sus orígenes hasta nuestros días.

- Exposición sobre las FPGAs
- Exposición sobre la Inteligencia Artificial
- Exposición sobre la ingeniería neuromórfica

Fechas de inicio-fin: 10/04/2023 - 12/04/2023
Horario: Lunes, martes y miércoles, en horario de tarde.

Módulo 2. Diseño Hardware en Xilinx: Vivado y el IP core DPU

Duración/dedicación: 30,00 horas

Contenido:

En este módulo se explicará desde cero, cómo realizar un diseño con Vivado, profundizando en las características más importantes de dicho software.
Así mismo, se presentará el IP core Xilinx DPU y se profundizará en sus características.
Este módulo comprende también, la realización de un diseño utilizando dicho IP core.

- Introducción a Vivado
- Introducción al IP core Zynq UltraScale+ MPSoC Processing System
- Introducción al IP core DPU
- Diseño hardware con la DPU

Fechas de inicio-fin: 12/04/2023 - 09/05/2023
Horario: Lunes, martes y miércoles, en horario de tarde.

Módulo 3. Introducción al Petalinux

Duración/dedicación: 30,00 horas

Contenido:

En esta asignatura se explicará todo lo referente a la herramienta Petalinux: cómo crear, personalizar y desplegar una distribución Linux a medida para hardware empotrado sobre el subsistema de procesamiento (PS) de Xilinx.

- Introducción y configuración de Petalinux desde cero
- Fundamentos sobre el Device Tree
- Drivers

Fechas de inicio-fin: 09/05/2023 - 28/05/2023
Horario: Lunes y miércoles, en horario de tarde.

Módulo 4. Inteligencia Artificial: Keras y Tensorflow

Duración/dedicación: 24,00 horas

Contenido:

- Introducción al Deep Learning mediante Keras y Tensorflow.
- Entrenamiento de un modelo de red sobre un dataset existente.
- Creación de un dataset propio.
- Diseño de un modelo de red y entrenamiento usando un dataset propio.
- Métricas sobre un modelo de red entrenado. Exportar el modelo.

Fechas de inicio-fin: 31/05/2023 - 19/06/2023
Horario: Lunes y miércoles, en horario de tarde.

Módulo 5. Diseño de una aplicación en Python con Vitis AI para DPU

Duración/dedicación: 24,00 horas

Contenido:

- Introducción a la optimización de redes neuronales (cuantizaciones)
- Introducción a la DPU de Xilinx (capacidades, benchmarks, requerimientos)
- Descripción plataforma Ultra 96
- Entrenamiento de un modelo de red neuronal (debería haberse hecho en el tema anterior)
- Cuantizado y compilación de un modelo de red neuronal con Vitis AI
- Desarrollo de una aplicación que haga uso del modelo compilado en tiempo real haciendo uso de Vitis AI
- (Avanzado) Repetir pasos anteriores para obtener una aplicación similar a la del paso anterior pero con un modelo y dataset personalizados

Fechas de inicio-fin: 19/06/2023 - 10/07/2023
Horario: Lunes y miércoles, en horario de tarde.